

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有權機關  
國際事務局



(43) 国際公開日  
2002年10月10日 (10.10.2002)

PCT

(10) 国際公開番号  
WO 02/080284 A1

(51) 國際特許分類<sup>7</sup>: H01L 29/80, 29/778, 29/812, 21/338

(21) 国際出願番号: PCT/JP01/08535

(22) 國際出願日: 2001年9月28日(28.09.2001)

## (25) 國際出願の言語: 日本語

## (26) 國際公開の言語: 日本語

(30) 優先権データ:  
特願2001-094464 2001年3月29日(29.03.2001) JP

(71) 出願人(米国を除く全ての指定国について): 独立行政法人 産業技術総合研究所 (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒100-0013 東京都千代田区霞が関1-3-1 Tokyo (JP). 科学技術振興事業

団 (JAPAN SCIENCE AND TECHNOLOGY CORPORATION) [JP/JP]; 〒332-0012 埼玉県川口市本町4丁目1番8号 Saitama (JP)

(72) 発明者: および

(75) 発明者/出願人(米国についてのみ): 小倉睦郎(OGURA, Mutsuo) [JP/JP]; 〒305-0031 茨城県つくば市吾妻3丁目935-1 Ibaraki (JP). 桑谷武芳(SUGAYA, Takehiko) [JP/JP]; 〒305-0035 茨城県つくば市松代3丁目305-302 Ibaraki (JP). 張 起運(JANG, Kee-Youn) [KR/JP]; 〒305-03261 茨城県つくば市花畑1-9-40 花畑ハイツ301 Ibaraki (JP). 杉山佳延(SUGIYAMA, Yoshinobu) [JP/JP]; 〒305-0051 茨城県つくば市二の宮3-27-5 Ibaraki (JP).

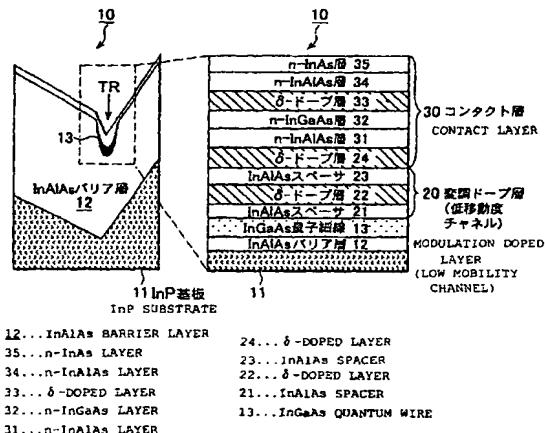
(74) 代理人: 弁理士 福田賢三, 外(FUKUDA, Kenzo et. al. et al.); 〒105-0003 東京都港区西新橋一丁目6番13号 柏屋ビル4F Tokyo (JP).

(81) 指定国(国内): CA, US.

〔縹葉有〕

**(54) Title: NEGATIVE-RESISTANCE FIELD-EFFECT DEVICE**

(54) 発明の名称: 負性抵抗電界効果素子



**(57) Abstract:** On an InP substrate with an asymmetric V-groove having one side which is the (100) plane and the other side which is the (011) plane, there is formed an InAlAs barrier layer with a trench (TR) having one side which is the (111) A-plane and the other side which is the (331) B-plane confronting each other. On the trench bottom face, there is formed as a high mobility channel an InGaAs quantum wire having a relatively narrow energy band gap, on which an InAlAs modulation doped layer having a relatively wide energy band gap is formed as a low mobility channel band gap. There are formed a source electrode and a drain electrode which are electrically connected to the highly mobility channel through a contact layer and spaced from each other in the longitudinal direction of the quantum wire, and a gate electrode which is interposed between the source electrode and the drain electrode and confronts the low mobility channel through an insulating layer or a Schottky junction. Thus a negative resistance characteristic field effect device is provided.

WO 02/080284 A1

[統葉有]



添付公開書類:  
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

一方の側面が (100)面、他方の側面が (011)面の非対称V溝を有する InP基板上に、向かい合う一方の側面が (111)A面、他方の側面が (31)B面のトレンチ(TR)を有する InAlAsバリア層を形成する。トレンチ底面に、高移動度チャネルとして、相対的に狭いエネルギー-bandギャップを有する InGaAs量子細線を形成し、その上に、低移動度チャネルとして、相対的に広いエネルギー-bandギャップを有する InAlAs変調ドープ層を形成する。コンタクト層を介して高移動度チャネルに電気的に導通する一方で、量子細線の長さ方向に沿って互いには離間したソース電極、ドレイン電極と、ソース電極とドレイン電極の間に設けられ、絶縁層を介するかショットキ接合を介して低移動度チャネルに臨むゲート電極を設ける。上記構成により負性抵抗特性電界効果素子を得る。

## 明細書

## 負性抵抗電界効果素子

## 技術分野

本発明は、負性抵抗特性 (NDR:Negative Differential Resistance) を呈する電界効果素子に関し、特に、負性抵抗特性を呈する直前のドレイン電流値と負性抵抗特性が起きた直後のドレイン電流値との比であって負性抵抗効果の大きさを測る目安となるピーク・トゥ・バレー電流比 (Peak-to-Valley Current Ratio: 以下、PVCRと略す) を高め、また、低い電源電圧で負性特性を呈し得るようにするための改良に関する。なお、負性抵抗特性を呈する電界効果素子を、本書では一般的慣例に従い、単に負性抵抗電界効果素子と呼ぶ。

## 背景技術

半導体集積回路では負性抵抗特性を有する素子が要求される場合も多い。他の能動素子と同様、こうした負性抵抗素子でも、より低い電圧で動作し、高速動作可能な (高周波特性の良好な) 素子である程に望ましいことはもちろんで、これまでにも種々の研究がなされてきた。

制御端子を持たない、いわゆる二端子素子もあるが、制御端子がないということ自体が短所となりがちで、外部からの制御に限界があり、論理素子への応用や集積化素子としてはなじまないことが多い。増幅機能等も当然に見込むことができない。従ってやはり、少なくとも制御端子を含む三端子構造を有する負性抵抗素子が求められるが、その前提の上でなお、将来的傾向として、最も重要視されて行くであろうことは、低電圧動作と高いPVCRの実現である。

それに対する一つの回答として、従来からも、化合物ヘテロ接合構造を用い、エネルギー-bandギャップが相対的に狭く、高移動度の層部分を電子の主たる走行チャネルとし、これに接するように、エネルギー-band

ギャップが相対的に広くて低移動度の層部分を第二のチャネルとして設けた構造の提案がある(例えば文献1: "Enhanced Resonant Tunneling Real-Space Transfer in delta-Doped GaAs/InGaAs Gated Dual-Channel Transistors Grown by MOCVD"、Chang-Luen Wu 他、IEEE 5 Transactions on Electron Devices vol. 43 No. 2. (1996) 207)。

このようなデュアルチャネル構造を有する低次元電界効果素子では、ドレイン電圧により加速されて両チャネル間のポテンシャル障壁のエネルギーレベルに達した走行電子(ホットキャリア)を、ゲート電圧を正に印可することで、ゲートと主たる高移動度チャネルとに挟まれた低移動度チャネルに実空間遷移させる。低移動度チャネルに遷移した電子は減速して走行するか停留し、その結果、高移動度チャネルを走行する電子の面密度は、ゲート電圧により電荷中性条件を満たすため誘起される総電荷量から、低移動度チャネルに停滞する電荷を減じたものになって、ゲートバイアスをその分、負方向にバイアスしたのと同じ効果となり、高移動度チャネル内の電子が減少することで実質的にドレイン電流が減少し、負性抵抗特性の発現となる。

一方、こうした原理を具現するにも、チャネル中のキャリアの散乱を抑制するのに、高移動度チャネルに量子細線を用いるデュアルチャネル型の電界効果素子構造が有利なことを、本発明者らは既に提案した(日本特開2001-185559号)。この素子の方が、量子井戸を用いたものより負性抵抗が起きやすく、超高速論理素子等にも有望ではある。

しかし、量子細線の横方向閉じ込めサイズを実際には約100nmよりも小さくすることが困難であった結果、負性抵抗特性を発現させる電源電圧(一般に電界効果素子としてのドレイン電圧)は従来例に比せば低下させ得たものの、未だ十分に低くなったとは言えなかった。と言うよりも、改善の余地は残っていた。

この発明の目的は、十分な値のPVCRを確保しながら、従来よりも低いドレイン電圧で負性抵抗が得られる負性抵抗電界効果素子を提供することにある。

本発明に依る負性抵抗電界効果素子は、一方の側面が(100)面、他方の側面が(011)面の非対称V溝を有するInPまたはGaAs基板上に形成されることで、向かい合う一方の側面が(111)A面、他方の側面が(331)B面のトレンチを有するInAlAsまたはAlGaAsバリア層と、このバリア層のトレンチ底面に成長させられ、高移動度チャネルとして、相対的に狭いエネルギー-bandギャップを有するInGaAsまたはGaAs量子細線と、この量子細線上に成長させられ、低移動度チャネルとして、相対的に広いエネルギー-bandギャップを有するInAlAsまたはAlGaAsスペーサ層と、それぞれコンタクト層を介して高移動度チャネルに電気的に導通する一方で、量子細線の長さ方向に沿って互いには離間したソース電極、ドレイン電極と、これらソース電極とドレイン電極の間に設けられ、絶縁層を介するかショットキ接合を介して低移動度チャネルに臨むゲート電極と、を有することから成る。

本発明はまた、上記低移動度チャネル内には部分的に伝導帯エネルギーを低めるデルタドープ層が設けられ、InAlAsまたはAlGaAsスペーサ層が変調ドープ層となっている素子や、ソース電極、ドレイン電極が接触するコンタクト層がn型InAlAs層、n型InGaAs層、n型InGaAs層、n型InAs層の積層構造を含む素子も含む。

上記の構成とすることにより、リソグラフィ技術による限界制約を受けることなく、要すれば横方向閉じ込めサイズを100nm以下にも出来る、極めて狭い幅の量子細線を高移動チャンネルとして用いることができるようになり、もって目的を達成することができる。

#### 図面の簡単な説明

第1図(A)は、本発明に依る負性抵抗電界効果素子の一実施形態における断面構造図である。

第1図(B)は、第1図(A)の負性抵抗電界効果素子の直交する方向における断面構造図である。

第2図は、本発明に依る負性抵抗電界効果素子の一実験例で得られた

室温下でのドレインーソース電圧対ドレイン電流の静特性図である。

第3図は、本発明に依る負性抵抗電界効果素子の一実験例で得られた40K下でのドレインーソース電圧対ドレイン電流の静特性図である。

第4図(A)、(B)及び(C)は、本発明に依る負性抵抗素子の作製  
5 に利用すると好都合な、量子細線を形成すべきトレンチ形成例の説明図  
である。

#### 発明を実施するための最良の形態

第1図(A)、(B)には本発明に従って構成された負性抵抗電界効果素  
10 子10の望ましい一実施形態が示されている。まず、静的に断面構造から  
見てみると、第1図(A)の左側図面に示すように、非対称V溝を有する  
InPまたはGaAs基板、図示の場合はInP基板11上に、InAlAsまたは  
AlGaAsバリア層、この場合はInAlAsバリア層12が形成されることで、当  
該バリア層12には、下地のInP基板11のV溝のある所に非常に急峻な側  
15 面を持つ深いV溝であるトレンチTRが形成されている。このトレンチTR  
の底の部分近くの斜面間距離(空間幅)は、後述のように、非常に狭く  
形成することができる。

第1図(A)の右側図面には、左側図面中にて仮想線で囲った要部の断  
面積層関係も示されているので、これも参照すると、InAlAsバリア層12  
20 のトレンチTRの底面上には、まず、高移動度チャネルとして相対的に狭  
いエネルギー-bandギャップを有するInGaAsまたはGaAs量子細線、この場  
合はInGaAs量子細線13が形成され、その上には、低移動度チャネル20と  
して、相対的に広いエネルギー-bandギャップを有するInAlAsまたはAlGa  
Asスペーサ層、この場合はInAlAsスペーサ層20が形成されている。

25 ただし、この実施形態では、当該低移動度チャネル20は実は下層21と  
上層22との二層構造とも認められる。というのも、当該低移動度チャネ  
ル20内に伝導帯の凹みを作ることで高移動度チャネルからトンネル障  
壁を越えて実空間遷移してくるキャリアを捕らえ易くするために、その  
厚みの途中に、n型シリコン一原子層等によるデルタドープ層(δ-ドー

プ層) 22が含まれているからである。こうした低移動度チャネル20はまた、ドーピング関係からは変調ドープ層と呼ぶこともできる。

低移動度チャネル20の上には、後述のようにソース電極42、ドレイン電極43のそれぞれのためのコンタクト層30が形成されている。この実施5 形態におけるコンタクト層30は、やはり複数層の積層構造から成るノンアロイコンタクト層なっており、下層から順にn-InAlAs層31、n-InGaAs層32、デルタドープ層33、n-InAlAs層34、n-InAs層35と重なっている。これは、互いの格子整合性が良く、導電性が良好であって、かつ、ソース電極42、ドレイン電極43とのオーミック接触も良好に取れるようす10 との条件からであるが、もちろん、この他にも考えられ、上記の目的を達成するならば、積層層数や材質は問わない。

第1図(B)には、第1図(A)と直交する関係の断面構造が示されているが、コンタクト層30上には、高移動度チャネルである量子細線13に電気的に導通する一方、当該量子細線13の長さ方向に沿って互いには離間15 した配置関係となるソース電極42、ドレイン電極43が公知既存のリソグラフィ手法に従って設けられており、また、ソース電極と該ドレイン電極の間には、絶縁層を介するかショットキ接合を介して(この場合は変調ドープ層20に対するショットキ接合を介して)低移動度チャネル20に臨むゲート電極41も望ましくはセルフアライン手法で形成されている。20 一般にゲート電極41の両側でソース、ドレイン電極間の領域上には適当なる酸化膜、例えば二酸化シリコン酸化膜44が形成される。

なお、図示の実施例の場合、コンタクト層30は、まずは低移動度チャネル20に接触し、当該低移動度チャネル20をさらに介して高移動度チャネルである量子細線13に導通するように構成されているが、コンタクト25 層30が直接に高移動度チャネル13に接触するように作製することもできる。また、電極材料は任意であるが、例えばTi/Pt/Auなどが挙げられる。

このような本発明の素子10においては、ドレイン電圧で加速されてホットキャリアとなつた高移動度チャネル13内のキャリアは適当なる大

きさのゲート電圧の印加により、高移動度チャネル13と低移動度チャネル20間のエネルギー障壁を越えて当該低移動度チャネル20内に移り、そこを走行するか停留する。そのため、既に述べたように、実効的にゲート電圧が負方向に増したのと等しい状況が生起し、ドレイン電流が減少する負性抵抗特性が発現する。

改めて言い直すなら、電荷中性条件により、一定のゲート電圧で蓄えられる電子の総量は一定であるから、低移動度チャネル20に遷移した電子の分だけ、高移動度チャネル13の電子が減少し、そのコンダクタンスが減少し、負性抵抗特性の発現となる。ここで、低移動度チャネル20内にこの実施形態におけるようにデルタドープ層22が設けられていると、その部分を最深部とする凹みが伝導帯に生じ、トンネル遷移してきたキャリアの安定な捕捉、停留を保証する。しかし、原理的にはこのデルタドーピング層はなくても良く、既述したデュアルチャネル構造が満足されていれば良い。

しかるに、先に述べた通り、本素子の特性上、重要な鍵の一つは、如何にして量子閉じ込め効果の大きい、細幅、微細断面の量子細線13を得るかにある。そしてそれは、少なくとも本発明要旨構成中における限定条件に従うことで、少なくとも従来例に比せば、リソグラフィ技術による限界制約を受けることなく、より狭い幅の量子細線13を得ることができる。しかし、これについてはまた、本発明者的一部が既に、実践をもって極めて細幅な量子細線を得ている。

そこで以下、これに従った手法を含む、より具体的な本発明の素子10の作製例に就き、説明する。まず、第4図(A)に示すように、通常のフォトリソグラフィ工程により、InP(311)A基板上に、[01-1]方向に幅25  $\mu$ mのライン・アンド・スペースパターンを形成した後、HCl:H<sub>3</sub>PO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>(=50:10:1)溶液を用いた化学エッティング(ウェットエッティング)により、非対称V型溝を作成した。非対称V溝の斜面は(100)面と(011)面で形成されている。斜面間の角度は90°である。この基板の表面酸化膜をフッ化水素酸で除去した後、MBE(分子ビームエピタキシ)チャン

バ内に導入し、原子状水素照射下で基板温度を400°Cに昇温して2分間保ち、基板の表面クリーニングを行った。

このInP(311)A-V溝基板11上に、クラッキングAs<sub>2</sub>を用いたV族ソースにより吸着原子の拡散を抑制しながらMBEによりInAlAs(あるいはAl<sub>5</sub>GaAs)バリア層12を成長すると、第4図(B)及びその要部拡大図である第4図(C)に示す通り、(100)面の斜面状側面に(111)A面、(110)斜面の側面に(331)B面が形成され、交差角22度という、鋭いV溝であるトレンチTRが形成される。従来の他の手法では、このように急峻な斜面形状で深さを持つトレンチTRは形成できない。

10 このようなトレンチTRの底にInGaAsあるいはGaAs量子細線を成長すると、既に述べたように、リソグラフィ限界を超えた、極めて幅の狭い量子細線13を形成することができる。その後は、これも既述の通り、低移動度チャネル20、コンタクト層30を順次、適当なる公知手法で形成すればよい。

15 ここで、参考までに、本発明者における試作例での各層膜厚は、InAlAsバリア層12が400nm、InGaAs量子細線13が10nm、InAlAsスペーサ層21が10nm、同じくデルタドープ層22を挟んで上層のInAlAsスペーサ層23が15nm、さらにノンアロイオーミックコンタクト層30中におけるn-InAlAs層31が1nm、n-InGaAs層32が5nm、デルタドープ層を挟んでその上のn-InAlAs層34が1nm、最上層のn-InAs層が1nmである。In、Ga、Alのフラックスは、InP基板上でInGaAs、InAlAsの組成が格子整合する値In<sub>0.53</sub>Ga<sub>0.47</sub>As、In<sub>0.52</sub>Al<sub>0.48</sub>Asである。成長中のAs分圧は、As<sub>4</sub>が1.3×10<sup>-3</sup>Pa、As<sub>2</sub>が8.3×10<sup>-4</sup>Paとした。InGaAs量子細線13以降の成長にはAs<sub>4</sub>を用いた。

20 第2図にまず、本発明による負性抵抗電界効果素子10の室温における静特性を示す。横軸がドレイン-ソース電圧V<sub>ds</sub>、縦軸がドレイン電流I<sub>d</sub>である。量子細線13の断面幅はほぼ10nm×20nm、ゲート長は2μmに作成した。室温下では良好な飽和特性を持つ通常の電界効果トランジスタ(FET)特性となっている。対して第3図に示すように、動作温度を40Kにまで下げるとき、顕著な負性抵抗特性が観測された。これは、ゲート電

5 界型実空間遷移 (field-assisted real space transfer)による負性抵抗であり、高移動度チャネルとしてのInGaAs量子細線13の電子がトンネル障壁を越えて低移動度チャネル20中にトンネルすることにより生じる。負性抵抗の生じるドレイン電圧 (Onset Voltage: $V_{NDR}$ ) は、 $V_g = -0.1V$ で0.12Vであり、これまでに報告された負性抵抗デバイスに比べて極めて低い。また、PVCRについても、 $V_g = -0.1V$  の時4.3と、十分な値が確保された。

10 負性抵抗の発現するドレイン電圧は0.2Vからゲート電圧と共に低下するが、これはゲート電圧によりチャネルから見た有効障壁層の高さが低くなつたためである。従来の実時間遷移素子の場合、負性抵抗の現れる電圧は1V以上であり、本発明による素子特性の向上は顕著である。

15 なお、負性抵抗特性の生ずるドレイン電圧はデバイス温度の上昇と共に低減する傾向になるが、これは、キャリア温度の上昇がキャリアの遷移すべき障壁層の高さの相対的な低下を招くためと考えられる。

20

#### 産業上の利用可能性

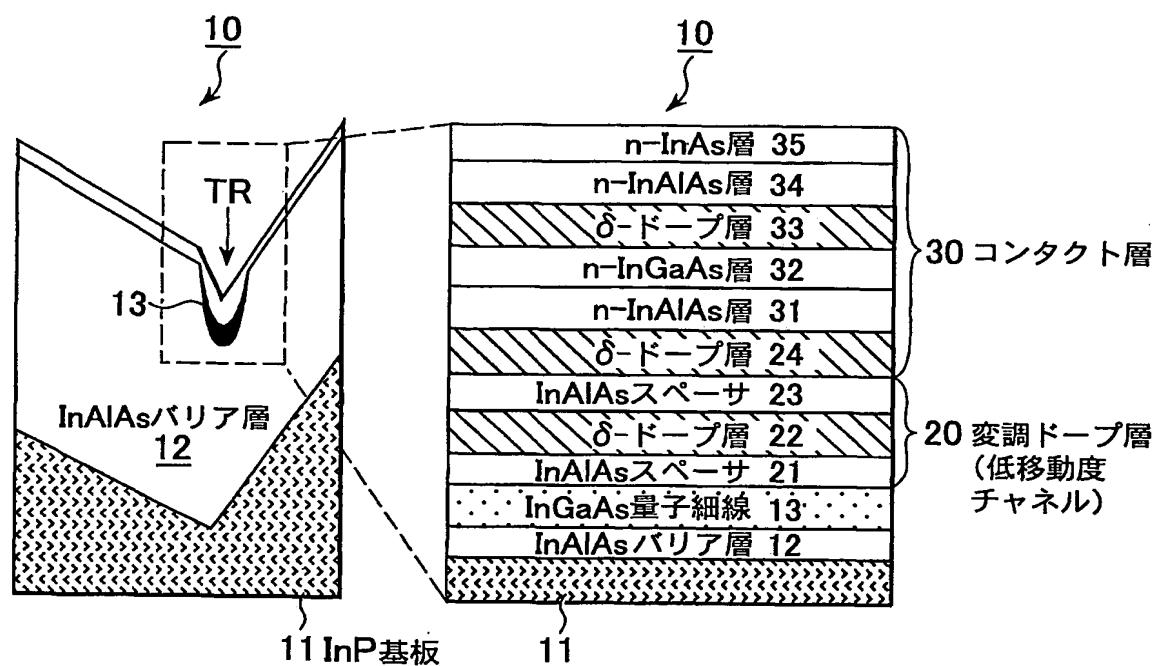
以上、本発明の望ましい実施形態に即し説明したが、本発明の負性抵抗特性電界効果素子は低ドレイン電圧で負性抵抗が得られること、十分なPVCRを得られることで、これまでにない利点、特長を有し、低消費電力での高周波発振器やメモリ等への応用が期待できる。

## 請 求 の 範 囲

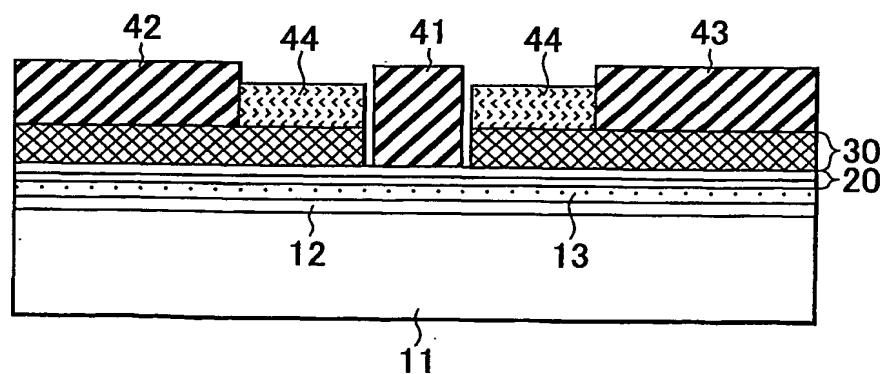
1. 一方の側面が (100)面、他方の側面が (011)面の非対称V溝を有するInP またはGaAs基板 (11) 上に形成されることで、向かい合う一方の側面が (111)A面、他方の側面が (331)B面のトレンチ (TR) を有するInAlAsまたはAlGaAsバリア層 (12) と、  
該バリア層の該トレンチ底面に成長させられ、高移動度チャネルとして相対的に狭いエネルギー-bandギャップを有するInGaAsまたはGaAs量子細線 (13) と、  
10 該量子細線上に成長させられ、低移動度チャネルとして相対的に広いエネルギー-bandギャップを有するInAlAsまたはAlGaAsスペーサ層 (21) と、  
それぞれコンタクト層 (30) を介して上記高移動度チャネル (13) に電気的に導通する一方で、上記量子細線の長さ方向に沿って互いには離  
15 間したソース電極 (42) 、ドレイン電極 (43) と、  
該ソース電極と該ドレイン電極の間に設けられ、絶縁層を介するかショットキ接合を介して上記低移動度チャネルに臨むゲート電極 (41) と、から成ることを特徴とする負性抵抗電界効果素子。
2. 上記低移動度チャネル (20) 内には部分的に伝導帯エネルギーを低めるデルタドープ層 (22) があり、上記InAlAsまたはAlGaAsスペーサ層は変調ドープ層となっていること、を特徴とする請求の範囲第1項記載の負性抵抗電界効果素子。
3. 上記コンタクト層 (30) は n型InAlAs層 (31) 、n型InGaAs層 (32) 、n型InAlAs層、n型InAs層の積層構造を含むこと、を特徴とする請求範囲  
25 第1項記載の負性抵抗電界効果素子。

1/3

第1図(a)

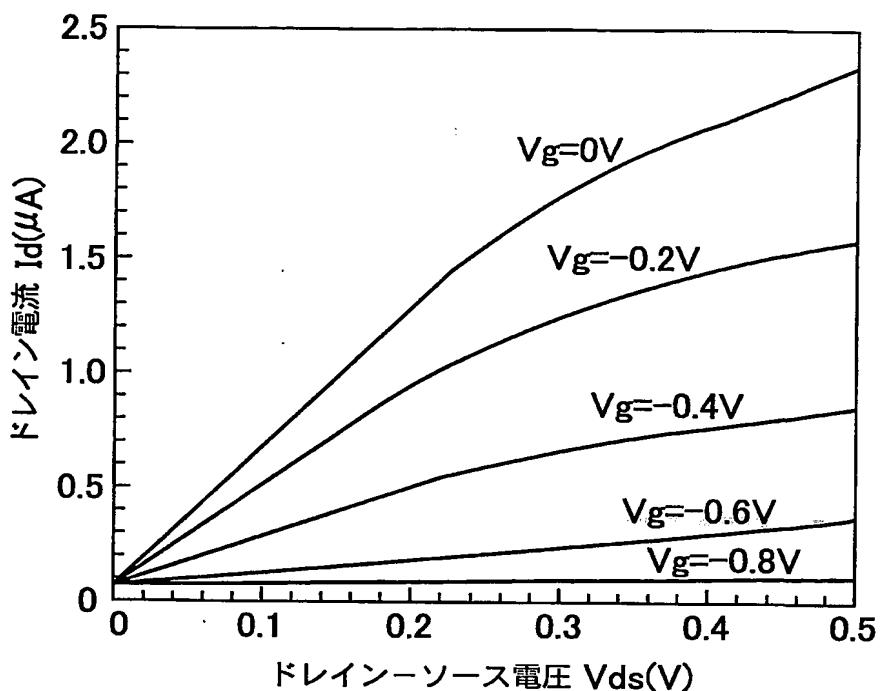


第1図(b)

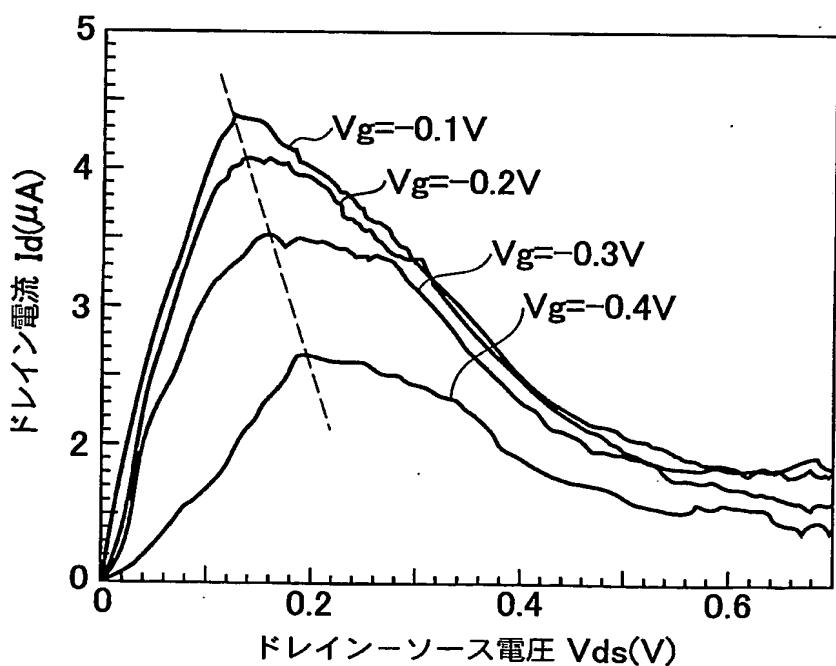


2/3

第2図

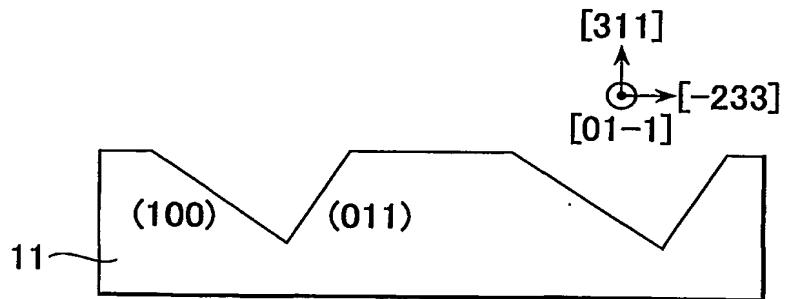


第3図

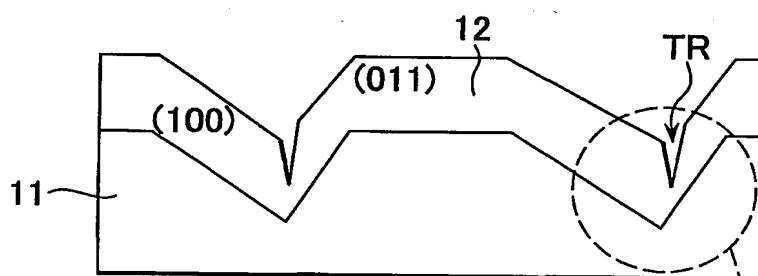


3/3

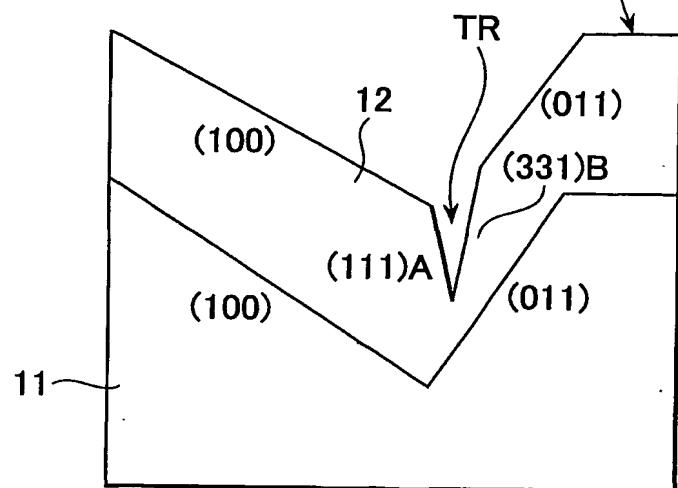
第4図(a)



第4図(b)



第4図(c)



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/08535

A. CLASSIFICATION OF SUBJECT MATTER  
 Int.Cl<sup>7</sup> H01L 29/80, H01L 29/778, H01L 29/812  
 H01L 21/338

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
 Int.Cl<sup>7</sup> H01L 29/778-812, H01L29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001  
 Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
 INSPEC (DIALOG) (negative differential resistance) and InGaAs

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Applied Physics Letters, Vol.78, No.1 (01 January, 2001), pp.76-78 Full text	1-3
Y	Denshi Joho Tsushin Gakkai Gijutsu Kenkyu Hokoku, CPM2000-108~116, Vol.100, No.372, 20 October, 2000 (20.10.2000), pp.19-24, Page 20, left column, line 1 to right column, line 18; page 21, Figs. 1,2; page 23, left column, line 1 to left column, last line	1-3
Y	Applied Physics Letters, Vol.77, No.3 (17 July, 2000), pp.441-443 Full text	1-3
A	Japanese Journal of Applied Physics, Vol.39, Part 1, No. 11, (November, 2000), pp.6152-6156 page 6152, right column, line 26 to page 6153, right column, line 9	1-3

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search 20 December, 2001 (20.12.01)	Date of mailing of the international search report 15 January, 2002 (15.01.02)
---	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
--	--------------------

Facsimile No.	Telephone No.
---------------	---------------

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/08535

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7- 38078 A (Nippon Telegr. & Teleph. Corp. <NTT>), 07 February, 1995 (07.02.1995), Column 3, line 8 to Column 4, line 12 (Family: none)	1-3
A	JP 7-321411 A (Mitsubishi Chemical Corporation), 08 December, 1995 (08.12.1995), Column 3, line 49 to Column 4, line 39 (Family: none)	1-3
PA	2001 International Conference on Indium Phosphide and Related Materials Conference Proceedings 13th IPRM (14-18 May, 2001), pp.517-520 Full text	1-3

## 国際調査報告

国際出願番号 PCT/JP01/08535

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C17 H01L 29/80, H01L 29/778, H01L 29/812  
H01L 21/338

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. C17 H01L 29/778-812, H01L 29/06

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2001年  
 日本国登録実用新案公報 1994-2001年  
 日本国実用新案登録公報 1996-2001年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

INSPEC (DIALOG) (negative differential resistance) and InGaAs

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	Applied Physics Letters, Vol. 78, No. 1 (1 January 2001) p. 76-78 全文	1-3
Y	電子情報通信学会技術研究報告, CPM2000-108~116, Vol. 100, No. 372, 20. 10月. 2000 (20. 10. 00) p. 19-24 第20頁左欄第1行一同右欄第18行、第21頁Fig. 1, Fig. 2、第23頁左欄第1行一同左欄最終行	1-3

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「I」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日 20. 12. 01	国際調査報告の発送日 15.01.02
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 今井 拓也 4M 9169 電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	Applied Physics Letters, Vol. 77, No. 3 (17 July 2000) p. 441-443 全文	1-3
A	Japanese Journal of Applied Physics, Vol. 39, Part1, No11, (November 2000) p. 6152-6156 第6152頁右欄第26行-第6153頁右欄第9行参照	1-3
A	JP 7-38078 A (日本電信電話株式会社) 7. 2月. 1995 (07. 02. 95) 第3欄第8行-第4欄第12行 (ファミリーなし)	1-3
A	JP 7-321411 A (三菱化学株式会社) 8. 12月. 1995 (08. 12. 95) 第3欄第49行-第4欄第39行 (ファミリーなし)	1-3
PA	2001 International Conference on Indium Phosphide and Related Materials Conference Proceedings 13th IPRM (14-18, May 2001) p. 517-520 全文	1-3